



МИНИСТЕРСТВО НА ОБРАЗОВАНИЕТО И НАУКАТА
ТЕХНИЧЕСКИ УНИВЕРСИТЕТ - ВАРНА
ФАКУЛТЕТ ПО ИЗЧИСЛИТЕЛНА ТЕХНИКА И АВТОМАТИЗАЦИЯ

УТВЪРЖДАВАМ!

ДЕКАН:.....

(доц. д-р инж. Н. Николов)

У Ч Е Б Н А П Р О Г Р А М А

по дисциплината

„ОРГАНИЗАЦИЯ НА КОМПЮТЪРА“, код: 15

Включена в учебния план на специалност:

СОФТУЕРНИ И ИНТЕРНЕТ ТЕХНОЛОГИИ

Професионално направление: *КОМУНИКАЦИОННА И КОМПЮТЪРНА ТЕХНИКА – 5.3*

Образователно – квалификационна степен: *БАКАЛАВЪР*

Факултет, осигуряващ организационно-методично обучение

по специалността: *ФАКУЛТЕТ ПО ИЗЧИСЛИТЕЛНА ТЕХНИКА И АВТОМАТИЗАЦИЯ*

Катедра, осигуряваща обучението по дисциплината:

КОМПЮТЪРНИ НАУКИ И ТЕХНОЛОГИИ

Извадки от учебния план

No по ред	Наименование на дисциплината	Форми на оценяване				Аудиторна заетост						Извънаудиторна заетост	Пълна студентска заетост	Кредити
		Изпит	Текуща оценка	Курсов проект	"зачита се"	Лекции	Семинарни занятия			Лабораторни упражнения	Общо часове			
							Семинарни упражнения	Курсов проект	Курсова работа					
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
15	Организация на компютъра и компютърни архитектури	*				30				30	60	90	150	6

Семестър: ТРЕТИ

АНОТАЦИЯ

В първата част на дисциплината се представят познания, свързани със структурата и организацията на функциониране на цифровата изчислителна машина. За целта се разглежда представянето на данните и алгоритмите на изпълнимите операции. Въз основа на принципите за построяване на съвременните цифрови изчислителни машини се обосновава и мотивира съставът от необходимите устройства и системи. В тази връзка се разглежда структурата и организацията на функциониране на аритметично-логически устройства, на запомнящи устройства, на управляващи устройства. Разглеждат се методите за организация и средствата за реализация на командната система, запомнящата система, системата за прекъсване и системата за входно-изходен обмен.

Материалът, включен във втората част на дисциплината е посветен на особеностите на съвременните компютърни архитектури. Акцентира се върху конвейерната работа на процесора и вертикалната и хоризонтална организация на паметта. Разглеждат се особеностите на най-важните архитектури от гледна точка на програмиста.

А. Лекции (Теми)

Тема 1. *Представяне на данните* 3 ч.

- 1.1. Представяне на логически, символни и числови данни.
- 1.2. Форми и формати за представяне – организация на разрядната мрежа.
- 1.3. Машинни кодове за изобразяване на числата, преобразуване на машинните кодове.

Тема 2. *Представяне на логическите структури* 1 ч.

- 2.1. Представяне на логическите елементи, логическите възли и логическите връзки.
- 2.2. Микрооперации в логическите възли – представяне на управлението.
- 2.3. Представяне на логическите структури.
- 2.4. Език на микрооперациите. Микрокоманда. Микропрограма.

Тема 3. *Операционни структури* 4 ч.

- 3.1. Аритметика на числа с фиксирана запетая (ФЗ).
- 3.2. Аритметика на числа с плаваща запетая (ПЗ).
- 3.3. Архитектура на аритметично-логическото устройство (АЛУ).

Тема 4. *Логическа структура на запомнящи устройства (ЗУ)* 2 ч.

- 4.1. Предназначение на запомнящите устройства, класификация.
- 4.2. Операции в запомнящите устройства.
- 4.3. Логическа структура на адресируеми ЗУ и на ЗУ с последователен и асоциативен достъп.

- Тема 5. Организация на изчислителния процес** 2 ч.
- 5.1. Структура на изчислителния процес.
 - 5.2. Машинна команда (МК), централен процесор (ЦП), команден цикъл. Видове МК и командни системи.
 - 5.3. Методи за адресиране на операндите.
 - 5.4. Методи за адресиране на командите.
 - 5.5. Команди за работа с подпрограми.
 - 5.6. Прекъсвания. Система за прекъсване, предназначение и характеристики.
 - 5.7. Понятие за входно-изходен обмен.
- Тема 6. Организация на запомнящата система** 2 ч.
- 6.1. Йерархична организация на компютърната запомняща система.
 - 6.2. Структура на буферните памети за команди и за данни.
 - 6.3. Организация на обмена между буферната и първичната памети.
- Тема 7. Организация на управлението** 1 ч.
- 7.1. Командният цикъл като основен алгоритъм за работа на управляващото устройство.
 - 7.2. Синхронен и асинхронен метод на управление.
 - 7.3. Управляващи устройства с програмно закрепена логика.
- Тема 8. Архитектура на съвременните компютри** 5½ ч.
- 8.1. Архитектурни особености. Тенденции. Производителност. Ефективност – видове.
 - 8.2. CISC/RISC. Суперскаларни ЦП. Множество функционални устройства. ЦП с VLIW.
 - 8.3. Таксономия на Флин: SISD/SIMD/MISD/MIMD. Закон на Амдал. Суперкомпютри.
 - 8.4. SMP/MPP/NUMA. Мрежи. Клъстери. Многоядреност/многонишковост. SMT/CMT.
 - 8.5. Векторни, матрични и графични процесори. „Копачи“. SIMD-команди на ЦП.
- Тема 9. Конвейерно изпълнение на командите в процесора** 2 ч.
- 9.1. Понятие за конвейер. Особенности в работата на конвейера за команди.
 - 9.2. Междукомандни зависимости – същност и начини за намаляване на влиянието им.
 - 9.3. Преходи. Предиктор на преходи/стойности. Спекулативно изпълнение. Задържан преход.
- Тема 10. Архитектура на паметта** 1½ ч.
- 10.1. Свърхоперативна (кеш-)памет: асоциативност, запис, обем на блока, кохерентност.
 - 10.2. Хоризонтална организация: Архитектура Харвард, разслоена памет, многоканален режим.
 - 10.3. Разположение на данните в паметта. Подредба на байтовете.
- Тема 11. Архитектури на набора МК (ISA): програмен модел и конвенции на извикване** 2 ч.
- 11.1. Кратка история, програмен модел и конвенции на извикване на IA-32.
 - 11.2. Кратка история, програмен модел и конвенции на извикване на ARM.
 - 11.3. Кратка история, програмен модел и конвенции на извикване на POWER[PC].
 - 11.4. Кратка история, програмен модел и конвенции на извикване на SPARC.
 - 11.5. Кратка история, програмен модел и конвенции на извикване на MIPS.
 - 11.6. Кратка история, програмен модел и конвенции на извикване на RISC-V.
- Тема 12. ISA – методи на адресация** ½ ч.
- 12.1. Методи на адресация в IA-32.
 - 12.2. Методи на адресация в ARM.
 - 12.3. Методи на адресация в POWER[PC].
 - 12.4. Методи на адресация в SPARC.
 - 12.5. Методи на адресация в MIPS.
 - 12.6. Методи на адресация в RISC-V.

Тема 13. <i>ISA – условни и безусловни преходи</i>	1 ч.
13.1. Условни и безусловни преходи при IA-32.	
13.2. Условни и безусловни преходи при ARM.	
13.3. Условни и безусловни преходи при POWER[PC].	
13.4. Условни и безусловни преходи при SPARC.	
13.5. Условни и безусловни преходи при MIPS.	
13.6. Условни и безусловни преходи при RISC-V.	

Тема 14. <i>ISA – целочислена аритметика, пренос и работа с битови полета</i>	2 ч.
14.1. Целочислена аритметика, пренос и битови полета в IA-32.	
14.2. Целочислена аритметика, пренос и битови полета в ARM.	
14.3. Целочислена аритметика, пренос и битови полета в POWER[PC].	
14.4. Целочислена аритметика, пренос и битови полета в SPARC.	
14.5. Целочислена аритметика, пренос и битови полета в MIPS.	
14.6. Целочислена аритметика, пренос и битови полета в RISC-V.	

Тема 15. <i>ISA – уникални особености на отделните архитектури</i>	½ ч.
15.1. Уникални особености на IA-32.	
15.2. Уникални особености на ARM.	
15.3. Уникални особености на POWER[PC].	
15.4. Уникални особености на SPARC.	
15.5. Уникални особености на MIPS.	
15.6. Уникални особености на RISC-V.	

Общо: 30 ч.

Б. Семинарни упражнения

НЯМА

0 ч.

Общо: 0 ч.

В. Лабораторни упражнения

Тема 1. Комбинационни суматори.	2 ч.
Тема 2. Алгоритми за цифрова аритметика върху числа със знак, представени във форма с фиксирана запетая.	6 ч.
Тема 3. Алгоритми за цифрова аритметика върху числа, представени във форма с плаваща запетая.	6 ч.
Тема 4. Алгоритми за машинно преобразуване на формите и форматите на числата. Алгоритми за машинно преобразуване на числа от десетична в двойна бройна система и обратно.	2 ч.
Тема 5. Изследване въпросите от теми 8.1,10.3–15 на компютър с архитектура IA-32.	2 ч.
Тема 6. Изследване въпросите от теми 8.1,10.3–15 на компютър с архитектура ARM.	2 ч.
Тема 7. Изследване въпросите от теми 8.1,10.3–15 на компютър с архитектура POWER.	2 ч.
Тема 8. Изследване въпросите от теми 8.1,10.3–15 на компютър с архитектура SPARC.	2 ч.
Тема 9. Изследване въпросите от теми 8.1,10.3–15 на компютър с архитектура MIPS.	2 ч.
Тема 10. Изследване въпросите от теми 8.1,10.3–15 на компютър с архитектура RISC-V.	2 ч.
Тема 11. Ефективност на компютрите, използвани в ЛУ по теми 5–10. Неповтарящи се студентски реферати за неразглеждани досега архитектури по теми 11–15.	2 ч.

Общо: 30 ч.

Г. Практически упражнения

НЯМА

0 ч.

Общо: 0 ч.

Д. Курсов проект

НЯМА

0 ч.

Общо: 0 ч.

Е. Форми и организация на семестриален контрол

Форма на семестриалния контрол	Точки – К1
Упражнения – проверка на предварителната подготовка за лабораторни упражнения (устно препитване и задачи и реферати за самостоятелна реализация)	60
Общо	60

Ж. Форма на контрол (процедура)

Форма на контрол	Точки – К2
Изпит-тест в електронната система плюс решаване на задача от компютърна аритметика; при необходимост – събеседване	40

Окончателна оценка в точки: $K = K1 + K2$

3. Литература

А. Основна

1. <http://tyanev.com/> – „On-line“ книги: *ОРГАНИЗАЦИЯ НА КОМПЮТЪРА* – книга 1.
2. <http://tyanev.com/> – „On-line“ книги: *ОРГАНИЗАЦИЯ НА КОМПЮТЪРА (Цифрови аритметики – упражнения)* – книга 2.
3. <http://tyanev.com/> – „On-line“ книги: *ОРГАНИЗАЦИЯ НА КОМПЮТЪРА (Проектиране на логически структури)* – книга 3.
4. William Stallings, *Computer organization and Architecture*, Eleventh Edition, Pearson, ISBN 0-13-185644-8, 2019.
5. Chakraborty, Pranabananda, *Computer Organisation and Architecture: Evolutionary, concepts, principles and designs*, Taylor & Francis Group, LLC, ISBN 978-0-367-25573-2, 2021
6. John L. Hennessy, David A. Patterson, *Computer Architecture – a Quantitative Approach*, Sixth Edition, Morgan Kaufmann, ISBN 978-0-12-811905-1, 2019.

Б. Допълнителна

1. James Gil de Lamadrid, *Computer Organization. Basic Processor Structure*, Chapman and Hall / CRC, ISBN 978-1498799515, 2018.
2. David A. Patterson, John L. Hennessy, *Computer Organization and Design, The Hardware / Software Interface*, ARM Edition, Elsevier, ISBN: 978-0-12-801733-3, 2017.
3. David A. Patterson, John L. Hennessy, *Computer Organization and Design: The Hardware / Software Interface*, RISC-V Edition, Morgan Kaufmann, ISBN 978-0128122754, 2018.
4. Linda Null, Julia Lobur, *The Essentials of Computer Organization and Architecture*, 5th Revised edition, Jones & Bartlett Publishers, ISBN 978-1284123036, 2019.

В. Фирмена

1. Intel® 64 and IA-32 Architectures Software Developer's Manual, Volume 2, Intel Corp., 2021.
2. ARM® Architecture Reference Manual, ARMv7-A and ARMv7-R edition, Arm Holdings, 2018.
3. Power ISA™, Version 3.0 B, International Business Machines Corporation, 2017.
4. Oracle® SPARC® Architecture 2015, Oracle Corporation, 2016.
5. MIPS® Architecture for Programmers, Volume II-A, Imagination Technologies Limited, 2016.
6. The RISC-V™ Instruction Set Manual, Volume I, RISC-V Foundation Incorporated, 2018.

Съставили:

.....

(доц. д-р инж. Юлка Петкова)

.....

(гл. ас. д-р инж. Лъчезар Георгиев)

Програмата е обсъдена на Катедрен съвет на катедра „КОМПЮТЪРНИ НАУКИ И ТЕХНОЛОГИИ“ с протокол № г.

Ръководител катедра

(доц. д-р инж. Хр. Вълчанов)

Програмата е обсъдена на Катедрен съвет на катедра „СОФТУЕРНИ И ИНТЕРНЕТ ТЕХНОЛОГИИ“ с протокол № г.

Ръководител катедра

(доц. д-р инж. В. Божикова)

Програмата е приета на Факултетен съвет на ФИТА с протокол № г.

Декан.....

(доц. д-р инж. Н. Николов)

Код: 15. Организация на компютъра и компютърни архитектури

ECTS кредити: 6

Форма за оценяване: Изпит

Седмичен хорариум: 2+0+2

Форма на контрол: Тест в електронната система плюс решаване на задача от компютърната аритметика; при необходимост – събеседване

Водещо звено:

Катедра: *КОМПЮТЪРНИ НАУКИ И ТЕХНОЛОГИИ*

ФАКУЛТЕТ ПО ИЗЧИСЛИТЕЛНА ТЕХНИКА И АВТОМАТИЗАЦИЯ

Лектори: доц. д-р инж. Юлка Петкова, гл. ас. д-р инж. Лъчезар Георгиев

Катедра: *КОМПЮТЪРНИ НАУКИ И ТЕХНОЛОГИИ*

тел. 052 383 403, 052 383 628

e-mail: yulka.petkova@tu-varna.bg , lig@tu-varna.bg

Анотация:

В първата част на дисциплината се представят структурата и организацията на функциониране на цифровата изчислителна машина. За целта се разглежда представянето на данните и алгоритмите на изпълнимите операции. Въз основа на принципите за построяване на съвременните цифрови изчислителни машини се обосновава и мотивира съставът от необходими устройства и системи. В тази връзка се разглежда структурата и организацията на функциониране на аритметично-логическите, запаметяващи и управляващи устройства. Засягат се методите за организация и средствата за реализация на командната и запомнящата системи, системата за прекъсване и системата за входно-изходен обмен.

Материалът, включен във втората част на дисциплината, е посветен на особеностите на съвременните компютърни архитектури. Акцентира се върху конвейерите на процесорите, кеш-паметта и хоризонталната организация на паметта. Разглеждат се особеностите на най-разпространените компютърни архитектури от гледна точка на програмиста..

Входни връзки: „Логика и автомати“.

Изходни връзки: „Микропроцесори“, „Езикови процесори“.

Основни раздели на съдържанието:

- Представяне на данните.
- Представяне на логическите и операционните структури.
- Логическа структура на запомнящи устройства.
- Организация на изчислителния процес.
- Организация на запомнящата система.
- Организация на управлението.
- Архитектура на съвременните процесори. Класификации, производителност/ефективност.
- Конвейерно изпълнение на командите в процесора.
- Архитектура на паметта. Кеш-памет, харвардска архитектура, хоризонтална организация.
- Програмен модел, методи на адресация, преходи, аритметични и логически операции и обработка на преноса в архитектури IA-32, ARM, POWER[PC], SPARC, MIPS, RISC-V.

Форма на изнасяне на учебното съдържание:

Лекциите излагат основните въпроси от всяка тема и особеностите на всяко едно решение.

В лабораторните упражнения отначало се изучават алгоритми и методи за аритметични операции в компютъра, а по-нататък се работи практически с всяка изучавана архитектура.

Така у студентите се формира критично отношение към различните подходи. Те могат да схванат общото в конкретните решения и у тях евентуално да се пробуди интерес към тези въпроси, предпоставка за по-нататъшното им самоусъвършенстване като бъдещи инженери.